

PAT-NO: JP405297399A
DOCUMENT-IDENTIFIER: JP 05297399 A
TITLE: ELECTRODE STRUCTURE OF DISPLAY DEVICE
PUBN-DATE: November 12, 1993

INVENTOR-INFORMATION:
NAME
MARUSHITA, YUTAKA

ASSIGNEE-INFORMATION:
NAME COUNTRY
SANYO ELECTRIC CO LTD N/A

APPL-NO: JP04101166
APPL-DATE: April 21, 1992

INT-CL (IPC): G02F001/1345, H01L021/60
US-CL-CURRENT: 349/149

ABSTRACT:

PURPOSE: To easily separate a signal and to evade the application of a dangerous high voltage to a matrix display device by making an electrode, held at a constant potential, turn around between an input and an output which vary and are supplied to the matrix display device.

CONSTITUTION: Feeding to a semiconductor chip and an earth connection are performed at an end part in parallel to the gate line of a liquid crystal display panel. A line held at a constant potential is formed spirally at the periphery of the display device and a period signal and an input signal and an output signal which vary are inputted to and outputted from the semiconductor chip 2 almost at right angles to the periphery of the matrix

display panel 1.
Then Vdd5, Vss6, and an earth potential 14 are supplied from the
left lower end
part of the matrix display panel 1 to semiconductor chips 2, 2...
by three
parallel electrodes penetrating an area covering the panel of the
semiconductor
chip. Further, the parallel electrodes are connected in one, no
upper-lower
connections are required, and they are connected to pairs of
common terminals
of the semiconductor chips.

COPYRIGHT: (C)1993,JPO&Japio

(11)特許出願公開番号

特開平5-297399

(43)公開日 平成5年(1993)11月12日

技術表示箇所

9018-2K

3 1 1 S 6918-4M

審査請求 未請求 請求項の数 4 (全 7 頁)

特願平4-101166

平成4年(1992)4月21日

大阪府守口市京阪本通2丁目18番地

電機株式会社内

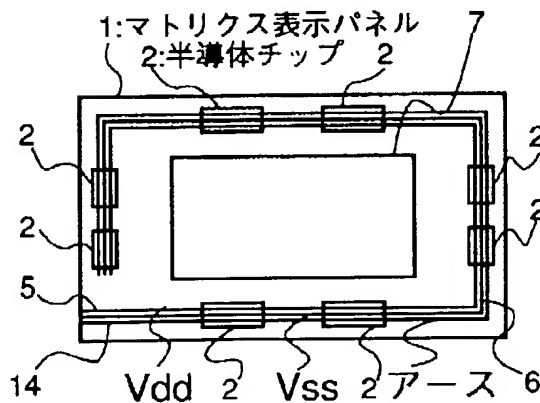
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 表示装置の電極構造

(57) 【要約】

【目的】 駆動用の半導体チップを備えた表示装置の入力信号と出力信号を分離すると共に半導体チップの電源電圧供給ラインの抵抗及びC O G接続抵抗を下げ、忠実な画像表示を行う。

【構成】 表示装置の入力と出力となる電極群の間に半導体チップ上で対で共通となる共通電極を設け、共通電極を表示装置の端から端まで伸びる表示装置上の共通ラインに接続する。



【特許請求の範囲】

【請求項1】マトリクス表示装置の周辺に半導体チップを備えた表示装置の電極構造において、表示装置の電極の少なくとも一部が半導体チップに線対称に同一の電極を構成し、同一の電極は半導体チップ間で互いに接続されて表示装置の端部に取り出されていることを特徴とする表示装置の電極構造。

【請求項2】マトリクス表示装置の周辺に半導体チップを備えた表示装置の電極構造において、表示装置の電極の少なくとも一部が半導体チップに線対称に同一の電極を構成し、同一の電極は半導体チップ内で互いに接続されて表示装置の端部に取り出されていることを特徴とする表示装置の電極構造。

【請求項3】マトリクス表示装置の周辺に半導体チップを備えた表示装置の電極構造において、マトリクス表示装置上の半導体チップと対向する領域を貫通する電極を備えたことを特徴とする表示装置の電極構造。

【請求項4】基板上に接続される半導体チップの端子構造において、半導体チップの端子の一部が半導体チップに線対称に同一の端子を構成していることを特徴とする半導体チップの端子構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマトリクス表示装置を駆動する半導体チップに忠実な信号を供給する電極構造に関する。

【0002】

【従来の技術】図12に従来の表示装置の電極構造を示す。

【0003】図12において、マトリクス表示パネル1の周辺に半導体チップ2がCOGにて接続されている。

【0004】半導体チップ2は入力信号線3と一般に入力に比較して数の多い出力信号線4に接続されている。

【0005】駆動するための電力源として、Vdd5、Vddに較べて低電位のVss6などが各半導体チップ毎に供給されていた。

【0006】しかし、前記の構成は変動する入力と出力信号が干渉して悪影響を及ぼす恐れがあり、また半導体*

$$(R, R') \propto L$$

【0018】

【発明が解決しようとする課題】つまり、半導体チップ毎に配線すると、外部からの信号とマトリクス表示パネルの接続が複雑になり、半導体チップの横の面積を占有する傾向があった。

【0019】単にマトリクス表示パネルの周囲に平行に配線すると配線スペース確保による表示装置の周辺寸法の拡大あるいは①式の接続・配線抵抗の増大等の問題があった。

【0020】

【課題を解決するための手段】本発明は表示装置の周辺※50

*チップ毎に配線する手間がかかる欠点があった。

【0007】図13に信号の配線を表示装置の周辺に平行に配置した従来の液晶表示装置の電極構造を示す。

【0008】マトリクス表示パネル1は中央部に対向基板で構成される表示部7を持ち、表示部7の境界に対向基板上的対向電極に電気信号を供給する対向配線8を有している。

【0009】表示部に能動素子の有るアクティブマトリクス表示パネルの場合、半導体チップ2は表示部の左右に配置されるゲートドライバと表示部の上下に配置されるドレインドライバとからなる。

【0010】ゲートドライバから表示部を横に貫通するゲートライン9、ドレインドライバから表示部を縦に貫通するドレインライン10がそれぞれ出力信号をマトリクス表示パネルに印加している。

【0011】マトリクス表示パネル1の最外周に外周に平行に入力信号線と電源線が配線されている。

【0012】ゲートラインに平行に表示装置の最外周から内周に向けてVdd5、映像入力信号11、Vss6のための電極が形成されている。

【0013】ドレインラインに平行に表示装置の最外周から内周に向けてST12、CK13、Vss6、映像入力信号11、Vdd5のための電極が形成されている。

【0014】ST12はシフトレジスタの動作を開始させるスタート信号であり、CK13はシフトレジスタの各出力の間隔を決定するクロック信号であり、共に周期信号である。

【0015】図13において、一定の信号のVdd及びVss、周期的に変動するST及びCK、不規則に変動する映像入力信号のための信号線は表示装置の最外周に設けられているために表示部の大きさに割に表示装置全体の面積が大きくなる傾向があった。

【0016】さらに、アクティブマトリクス基板の対角線をLとすると外部から半導体チップまたは表示部の能動素子までの抵抗R、R'はLの大きさに略比例する。

【0017】

①

40※に備えられた半導体チップの一部の端子を回路内で接続して共通として、該共通端子を線対称に半導体チップに形成し、表示装置の周辺部で半導体チップ間の共通端子を連続して接続し、表示装置外部と電気接続するものである。

【0021】

【作用】マトリクス表示装置に供給される変動する入力及び出力の間に一定の電位に保たれる電極を巡らせることにより信号の分離が容易になると共にマトリクス表示装置への危険な高電圧の付与が避けられる。

【0022】また、周辺スペースの削減による表示装置

の小型化と共に接続抵抗の低減による信号の正確な再生が図れる。

【0023】

【実施例】図1は液晶表示パネルのゲートラインと平行に端部に半導体チップへの給電とアース接続を行ったものである。

【0024】図1においては一定電圧に保たれる線路は表示装置の周辺に渦巻き状に形成されている。

【0025】周期信号、変動する入力信号、出力信号はマトリクス表示パネル1の周囲に略垂直な方向から半導体チップ2に入出力されている。

【0026】マトリクス表示パネル1の左下の端部からVdd5、Vss6、アース14が半導体チップのパネルを覆う領域を貫通する三本の平行な電極で半導体チップ2、2、2、2、2、2、2に供給されている。

【0027】平行な電極は一続きに形成されており、上下の接続を行う必要はなく、半導体チップの二個で一つとなった共通端子に接続されている。

【0028】図2は最も対向基板に近い方で閉曲線となるような半導体チップへの配線を為した表示装置である。

【0029】図2においては最も対向基板側で閉曲線、その他の一定電位に保たれる電極は表示装置の互いに垂直となる辺に平行に設けられている。

【0030】半導体チップ2の領域を貫通するアース14は最内周に配線されており、外部との接続場所がその他の平行な配線と異なり一ヶ所で良く外部からの高電圧の表示部への印加を抑制できる。

【0031】Vdd5は二ヶ所で接続される電極により半導体チップ2に供給されているが電極が半導体チップの下に配線されているので表示装置の増大を招くことなく、個別にチップに配線するより電極数を減らすことができる。

【0032】図3は液晶表示パネルのドレインドライバとゲートドライバで分けて接続した表示装置の電極構造図である。

【0033】図3において、ドレインドライバ及びゲートドライバは共に表示装置の短辺側から電力とアースを得ている。

【0034】表示部の上下に二個ずつ、左右に二個ずつ配置された半導体チップ2に平行で半導体チップの下を通る電極がマトリクス表示パネル1上に配線されている。

【0035】図3の表示装置の電極構造は一定電圧に保持されたVdd5、Vss6の電極をマトリクス表示パネル1の各辺に配線している。

【0036】図1から図3までの入力信号線はマトリクス表示パネルの各辺に対して垂直に配置されている。

【0037】図4は絶縁膜を利用して各半導体チップにもたらされる信号の電極を共通に全て同心矩形状に形成

した表示装置の電極構造である。

【0038】図4の入力信号線3は表示部7の上下でドレインドライバの下を通過してゲートラインに平行にマトリクス表示パネルの端部に導かれ、表示部の左右でゲートドライバの下を通過してドレインラインに平行に周回している。

【0039】同様に基板端面に平行に半導体チップの占有領域を利用して半導体チップ2に供給される一定信号15の電極は入力信号線3と比較して、マトリクス表示パネル1の表示部7側に設けられ、半導体チップからの出力信号と入力信号を効率良く分離している。

【0040】本構成によれば線路の抵抗が最大で半分になり、信号の忠実な伝達が可能になる。

【0041】図5は本発明の表示装置の電極の具体的製造工程図である。

【0042】図5において、a) 基板上にゲートライン9と電源ラインを平行に形成し、b) 絶縁膜16を形成した後、電源ラインと表示電極と端子部用のコンタクトホール17を形成し、c) 半導体膜18をマトリクス表示素子と絶縁のため対向配線と電源ライン用に基板上に残し、d) ソース、ドレイン電極と同時にドレインライン10に平行に電源ラインと対向配線8を形成し、e) 半導体チップ2の端子を一定電圧の配線に表示装置の各辺に平行に接続して半導体チップに一ヶ所または複数の地点から信号を供給する。

【0043】図6はVdd、Vss、アースを平行電極にてマトリクス表示パネルの端部より半導体チップに供給する構成の平面透視図である。

【0044】図6で半導体チップ2は下部のマトリクス表示パネル上の電極、即ち入力信号線3に接続された七個の入力端子19と、Vdd5、Vss6、アース14の三つの一定信号の供給をする互いに平行な三本の電極に接続された六個の共通端子20と、表示部の能動素子に駆動信号を供給する出力信号線4に接続された十三個の出力端子21とを有する。

【0045】共通端子20は半導体チップ2に線対称に設けられており、マトリクス表示パネル1上の複数の電極を直線状で互いに平行に形成するのに役立つ。

【0046】図7はCK、ST、Vee、Vss、Vddを平行電極にてマトリクス表示パネルの端部より半導体チップに供給する構成の平面透視図である。

【0047】図7で半導体チップ2は五個の入力端子19と十個の共通端子20、十一個の出力端子21とを有している。

【0048】線対称に配置された十個の共通端子20は周期信号のCK13、ST12、一定信号のVee2、Vss6、Vdd5を伝える五本の平行な電極に接続されている。

【0049】電位はVee<Vss<Vddの順番に高く設定されている。

【0050】図8はマトリクス表示パネル上の半導体チップに線対称に配置された共通端子の間を導電膜で接続した構成の平面透視図である。

【0051】図8でマトリクス表示パネル上でVdd5、Vss6、アース14を供給されている電極に接続された半導体チップ2の共通端子20は金属膜のような抵抗の低い材料からなる導電膜23で電極と平行に接続されている。

【0052】図8で斜線部は半導体チップの外部に設けられた共通端子間を接続する導電膜23である。

【0053】図9に共通端子間に導電膜を持つ半導体チップの断面図を示す。

【0054】図9で、a)二つの共通端子20の間に共通端子より薄い導電膜23が形成され、b)共通端子20は同じ厚さの導電膜と共に一体に構成されている。

【0055】導電膜を半導体チップの絶縁膜の間の配線ではなく、最外層の絶縁膜または半導体層上に配線として形成すれば半導体の高集積化に伴う配線幅の減少による抵抗の増大を抑え得る低抵抗の共通端子を形成できる。

【0056】言い換えれば、半導体チップ内の微細回路へ供給される一定信号の線路の抵抗を抑えて位相の遅れや信号の変形の防止となると共に、マトリクス表示パネル上の電極幅の減少による電極抵抗の増大を抑制できる。

【0057】図9の、b)の構成を成せば端子数の増大に連れて半導体チップの端子の面積が小さくなくても半導体チップをマトリクス表示パネルに強固に接続することができる。

【0058】図6から図8まではマトリクス表示パネル上の一定信号の電極が半導体チップの短手方向と平行になっていたが、半導体チップの長手方向に平行であっても良い。

【0059】図10にマトリクス表示パネル上の一定信号の電極が半導体チップの長手方向に平行となる構成の平面透視図を示す。

【0060】図10で半導体チップ2は十個の入力端子19が並ぶ半導体チップの長手方向に平行にVdd5、Vss6、アース14からなる一定信号を供給する三本の電極が六個の共通端子20により接続されている。

【0061】一定信号に限らず、周期信号及び変動する入力映像信号も含めて半導体チップ下に平行に電極から半導体チップへ印加しても良い。

【0062】図11に出力信号線以外は半導体チップの短手方向に平行に半導体チップ下に表示装置の電極を配線した構成の平面透視図である。

【0063】図11で入力信号線3はCK13、ST12、Vee22、Vss6、Vdd5の電極と共に半導体チップ2の短手方向に平行にマトリクス表示パネル上に設置されている。

【0064】本構成を成せばマトリクス表示パネルの最外周に半導体チップを配置することができ、電極への接続数が減ると同時に接続抵抗及びマトリクス表示パネルの大きさの増加を抑制できる。

【0065】

【発明の効果】以上のように本発明によれば多数の半導体チップを搭載した表示装置の駆動電圧を簡単に忠実に伝達すると共に表示装置に供給される入力と出力の分離が容易になるという効果がある。

10 【0066】また、表示装置の小型化、抵抗減による高画質化が図れる。

【図面の簡単な説明】

【図1】本発明の渦巻き状の電極構造図である。

【図2】本発明の内部のみ閉曲線の電極構造図である。

【図3】本発明の列と行を分離した電極構造図である。

【図4】本発明の同心矩形形状の電極構造図である。

【図5】本発明の同心矩形形状の電極構造の製造工程図である。

20 【図6】本発明の一定信号の共通端子の有る半導体チップと表示装置の接続図である。

【図7】本発明の周期信号の共通端子の有る半導体チップと表示装置の接続図である。

【図8】本発明の導電膜保有共通端子の有る半導体チップと表示装置の接続図である。

【図9】本発明の導電膜保有共通端子の有る半導体チップの断面図である。

【図10】本発明の一定信号の共通端子の有る半導体チップと表示装置の接続図である。

【図11】本発明の入力信号の共通端子の有る半導体チップと表示装置の接続図である。

【図12】従来の個別接続方式の表示装置の電極構造図である。

【図13】従来の平行電極方式の表示装置の電極構造図である。

【符号の説明】

1 マトリクス表示パネル

2 半導体チップ

3 入力信号線

4 出力信号線

5 Vdd

6 Vss

7 表示部

8 対向配線

9 ゲートライン

10 ドレインライン

11 映像入力信号

12 ST

13 CK

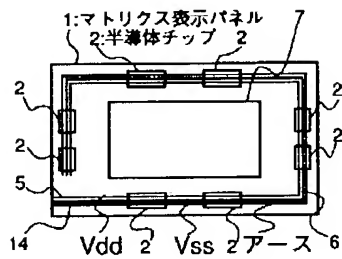
14 アース

50 15 一定信号

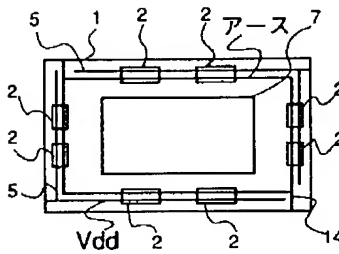
16 絶縁膜
17 コンタクトホール
18 半導体膜
19 入力端子

20 共通端子
21 出力端子
22 Vee
23 導電膜

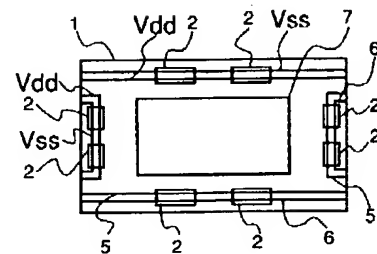
【図1】



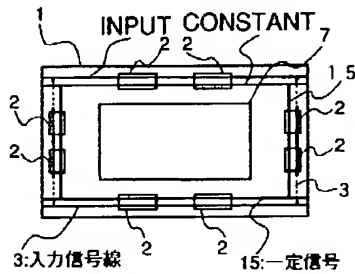
【図2】



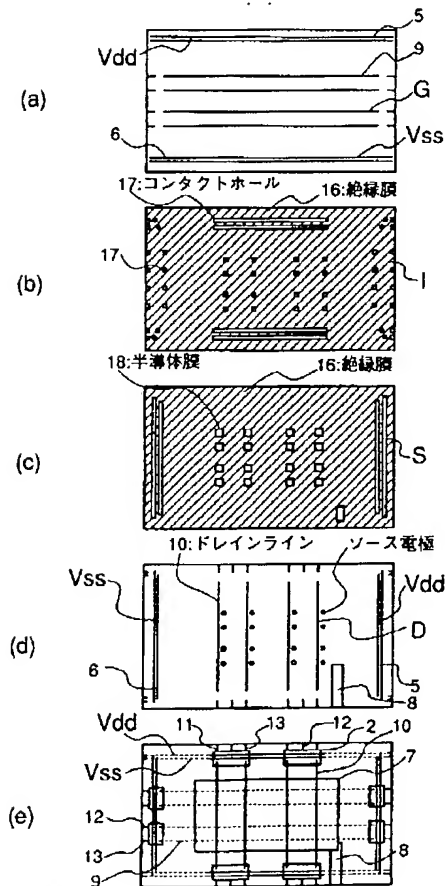
【図3】



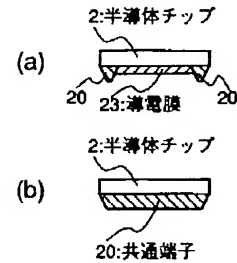
【図4】



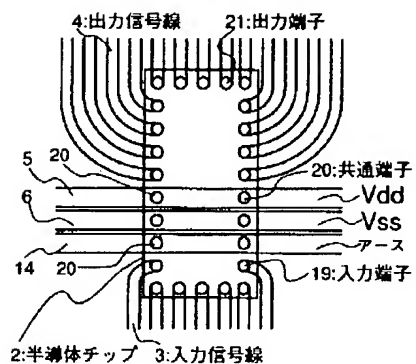
【図5】



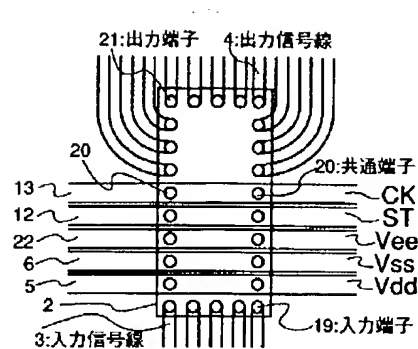
【図9】



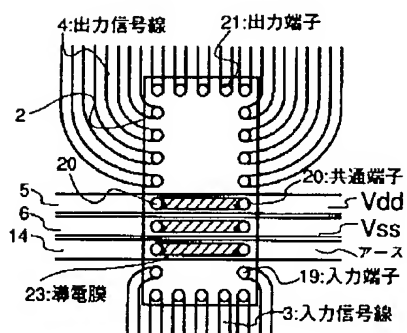
【図6】



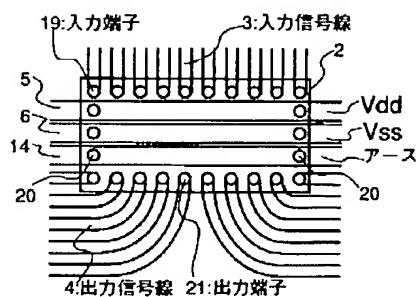
【図7】



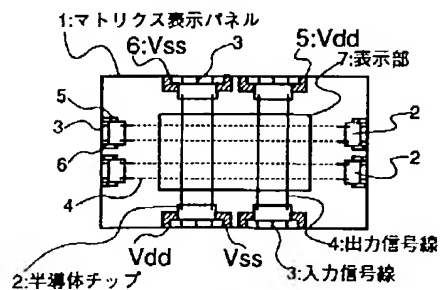
【図8】



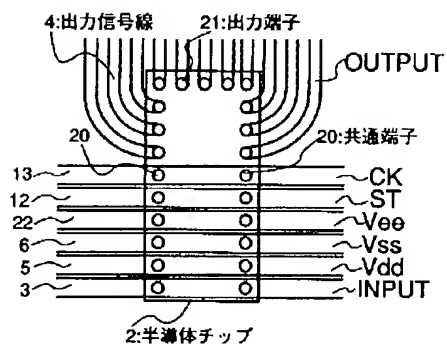
【図10】



【図12】



【図11】



(7)

特開平5-297399

【図13】

